

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 6-151487 (A) (43) 31.5.1994 (19) JP

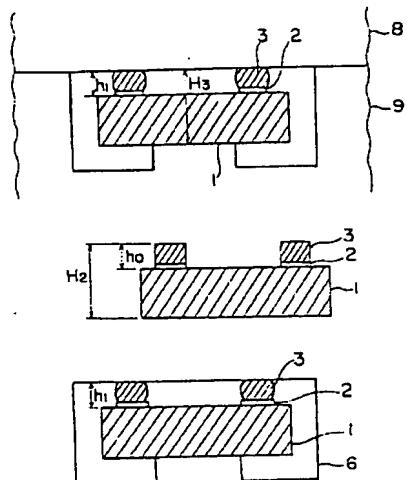
(21) Appl. No. 4-302501 (22) 12.11.1992

(71) MITSUBISHI ELECTRIC CORP (72) RYOJI TAKAHASHI(1)

(51) Int. Cl^s. H01L21/56

PURPOSE: To prevent the generation of thin resin burrs on bumps by making the height of a space lower than that of the bumps and positioning a semiconductor element in the space while the upper surfaces of the bumps are press-contacted with the internal surface of a top force.

CONSTITUTION: In the first process, a semiconductor element 1 provided with bumps 3 is positioned in a space constituted of a top and bottom forces 8 and 9. In the second process, the element 1 is sealed with a resin 6 by injecting and hardening the resin 6 into and in the space. In the first process, the height H_3 of the space constituted of the forces 8 and 9 is specially made lower than that H_2 of the bumps 3. Therefore, the element 1 provided with electrodes 2 and bumps 3 is held between the forces 8 and 9 and the forces 8 and 9 press the bumps 3 against each other when the top force 8 is clamped to the bottom force 9.



(54) METALLIC MOLD AND METHOD FOR SEALING SEMICONDUCTOR DEVICE WITH RESIN

(11) 6-151488 (A) (43) 31.5.1994 (19) JP

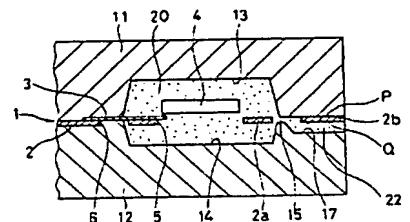
(21) Appl. No. 4-328705 (22) 13.11.1992

(71) NIPPON STEEL CORP (72) TAKAHISA ISHII

(51) Int. Cl^s. H01L21/56

PURPOSE: To easily perform gate treatment which becomes necessary after sealing a semiconductor device with a resin by using a film carrier.

CONSTITUTION: A runner 17 for pouring resin into the cavities 13 and 14 of a top and bottom forces 11 and 12 is installed to the bottom mold 12 only and, when a film carrier 1 is held between the forces 11 and 12, the surface Q of the carrier 1 composed only of a base film 2 is faced to the bottom force 12. The resin flowing through the runner 17 at the time of sealing adheres to the surface Q within the outer peripheral frame 2b of the film 2 as a remaining resin 22. Since the adhesiveness of the surface Q is lower than that of the lead forming surface P of the film 2, the remaining resin 22 can be easily removed from the section 2b.



(54) DEVICE FOR SEALING SEMICONDUCTOR WITH RESIN

(11) 6-151489 (A) (43) 31.5.1994 (19) JP

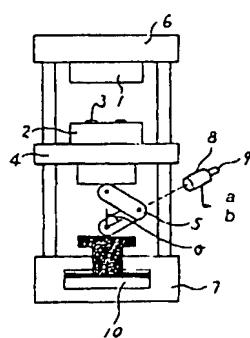
(21) Appl. No. 4-295463 (22) 5.11.1992

(71) TOSHIBA CORP (72) MASATO NAGASAWA

(51) Int. Cl^s. H01L21/56, B29C43/18, B29C43/58, B29C45/02, B29C45/14//B29L31/34

PURPOSE: To detect whether or not a foreign matter is caught between a top and bottom forces under a low-pressure clamping condition by providing a foreign matter detecting function for low-pressure clamping time by installing an air cylinder to a toggle mechanism section which opens/closes a metallic mold.

CONSTITUTION: An air cylinder 10 is installed to a toggle mechanism section 5 which moves a mobile platen 4 in the vertical direction and, at the same time, clamps a top force 1 to a bottom force 2. While a fair clamping force can be obtained by the mechanism 5 only at the force touching position, the toggle angle θ of the mechanism 5 is increased by the stroke of the cylinder 10. In addition, a foreign matter detecting function is realized for low-pressure clamping time by reducing the thrust of the cylinder 10. Therefore, the foreign matter detecting function which has not been realized at the low-pressure clamping time can be realized by adding the air cylinder 10 to the mechanism 5.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-151487

(43)公開日 平成6年(1994)5月31日

(51)Int.Cl.⁵
H 01 L 21/56

識別記号 庁内整理番号
T 8617-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 2(全 4 頁)

(21)出願番号 特願平4-302501

(22)出願日 平成4年(1992)11月12日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 高橋 良治

伊丹市瑞原4丁目1番地 三菱電機株式会
社北伊丹製作所内

(72)発明者 大施戸 治郎

伊丹市瑞原4丁目1番地 三菱電機株式会
社北伊丹製作所内

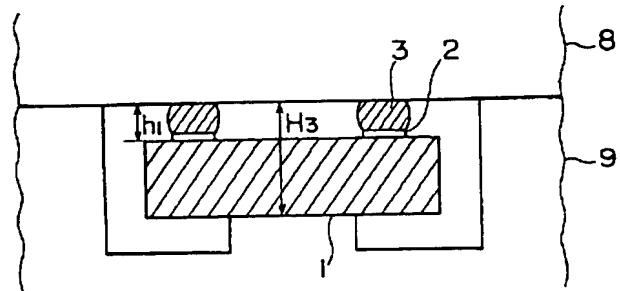
(74)代理人 弁理士 曾我 道照 (外6名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【構成】 バンプ3を有する半導体素子1を、複数の金型8、9から構成される空間内に配置する第1の工程と、上記空間に樹脂6を注入・硬化することにより半導体素子1を樹脂封止する第2の工程とを有する半導体装置の製造方法において、第1の工程で、上記空間の高さをバンプ3の高さよりも低く構成し、バンプ3の上面を金型8の内面に圧接させて半導体素子1を上記空間内に配置することを特徴としている。

【効果】 バンプ3上に樹脂6から成る薄バリが発生しないという効果がある。



1: 半導体素子
3: バンプ
8: 上部金型
9: 下部金型

1

【特許請求の範囲】

【請求項1】 バンプを有する半導体素子を、複数の金型から構成される空間内に配置する第1の工程と、前記空間に樹脂を注入・硬化することにより前記半導体素子を樹脂封止する第2の工程と、
を有する半導体装置の製造方法において、
前記第1の工程で、前記空間の高さを前記バンプの高さよりも低く構成し、前記バンプの上面を前記金型の内面に圧接させて前記半導体素子を前記空間内に配置することを特徴とする半導体装置の製造方法。

【請求項2】 バンプを有する半導体素子を、複数の金型から構成される空間内に配置する第1の工程と、前記空間に樹脂を注入・硬化することにより前記半導体素子を樹脂封止する第2の工程と、
を有する半導体装置の製造方法において、

前記第1の工程で、前記空間の高さを前記バンプの高さよりも低く構成し、前記バンプの上面を前記金型の内面に圧接させて前記半導体素子を前記空間内に配置し、
前記第2の工程の後に、前記バンプの上にさらにバンプを積む第3の工程を備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、バンプを有する半導体素子を金型内に配置し、この半導体素子を樹脂封止する半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 図6は、従来の半導体装置の製造方法を示す断面図であり、電極2及び電極2の上にさらにバンプ3が形成された半導体素子1(図7参照)をモールドの上部金型4及び下部金型5から構成される空間内に配置し、上部金型4及び下部金型5によって上下から金締めした状態を示している。この状態で上記空間に樹脂を注入・硬化することにより、半導体素子1を封止する。ここで、上記空間の高さH₁(図6参照)は、(半導体素子1底面からの)バンプ3の高さH₂(図7参照)と等しくされているため、理論的にはバンプ3と上記空間との間には隙間は生じないはずであるが、実際には下部金型5の寸法やバンプ3の高さ等に誤差が発生し、バンプ3の上面と上部金型4の下面との間に隙間g(図6参照)が生じる場合がある。このような隙間gが生じた状態で樹脂6を注入すると、隙間gに樹脂6が入り込み、図8に示すように、バンプ3上に樹脂6から成る薄バリ7が形成された半導体装置が得られる。

【0003】

【発明が解決しようとする課題】 以上のように、従来の半導体装置の製造方法においては、上部及び下部金型4、5から構成される空間の高さH₁をバンプ3の高さH₂と一致させているため、誤差が生じた場合には、バンプ3の上面に樹脂6から成る薄バリ7が形成されてし

2

まうという課題があった。

【0004】 この発明は、上記のような課題を改善するためになされたもので、樹脂封止の際にバンプ上に樹脂から成る薄バリができることのない半導体装置の製造方法を得ることを目的とする。

【0005】

【課題が解決するための手段】 この発明の請求項1に係る半導体装置の製造方法は、バンプを有する半導体素子を、複数の金型から構成される空間内に配置する第1の工程と、上記空間に樹脂を注入・硬化することにより半導体素子を樹脂封止する第2の工程とを有する半導体装置の製造方法において、第1の工程で、上記空間の高さをバンプの高さよりも低く構成し、バンプの上面を金型の内面に圧接させて半導体素子を上記空間内に配置するものである。

【0006】 この発明の請求項2に係る半導体装置の製造方法は、バンプを有する半導体素子を、複数の金型から構成される空間内に配置する第1の工程と、上記空間に樹脂を注入・硬化することにより半導体素子を樹脂封止する第2の工程とを有する半導体装置の製造方法において、第1の工程で、上記空間の高さをバンプの高さよりも低く構成し、バンプの上面を金型の内面に圧接させて半導体素子を上記空間内に配置し、第2の工程の後に、バンプの上にさらにバンプを積む第3の工程を備えたものである。

【0007】

【作用】 この発明の請求項1に係る半導体装置の製造方法においては、複数の金型から構成される空間の高さをバンプの高さよりも低くし、バンプの上面を金型の内面に圧接させて半導体素子を空間内に配置しているので、空間内に注入される樹脂のバンプの上面への入り込みが防止される。

【0008】 この発明の請求項2に係る半導体装置の製造方法においては、複数の金型から構成される空間の高さをバンプの高さよりも低くし、バンプの上面を金型の内面に圧接させて半導体素子を空間内に配置し、空間内に樹脂を注入・硬化し、さらに、このバンプの上に別のバンプを積んでいるので、封止樹脂面から突出したバンプが形成される。

【0009】

【実施例】

実施例1. この実施例1は、この発明の請求項1に係る一実施例である。図1は実施例1を示す断面図であり、図において、図6に示した従来の半導体装置の製造方法と同一又は相当部分には同一符号を付し、その説明は省略する。電極2及びバンプ3が形成された半導体素子1(図2参照)は、前述と同様に、モールドの上部金型8、及び下部金型9により金締めされ、注入された樹脂6によって封止される。この半導体素子1は図7に示したものと同じものである。このとき、上部金型8及び下

3

部金型9から構成される空間の高さ H_3 (図1参照)はパンプ3の高さ H_2 (図2参照)より $1\mu m \sim 10\mu m$ 小さく作られている。この結果、電極2及びパンプ3が形成された半導体素子1を上部金型8及び下部金型9によって上下から挟んで金締めすることになり、上部金型8及び下部金型9がパンプ3を押さえ込むことになる。そして、パンプ3が変形するとともに、パンプ3と上部金型8との間が完全に密着することになる。この状態で上記空間に樹脂6を注入すれば、パンプ3の上面と上部金型8の下面との間には隙間がないため、パンプ3上面に樹脂バリ7が発生することはなく、図3に示す半導体装置を得ることができる。

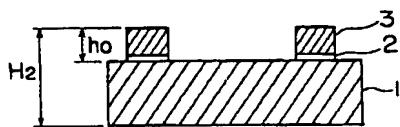
【0010】このとき、上部金型8及び下部金型9によって押さえ込まれる寸法は、パンプ3の元の高さ h_0 と押さえ込んだ後のパンプ3の高さ h_1 との差 $\Delta h = h_0 - h_1$ に等しくなる。また、パンプ3は上部金型8及び下部金型9によって押さえ込まれ、変形して高さが h_1 になるが、このときパンプ3に生じる圧縮応力 σ は、 $\sigma = (\Delta h / h_0) E$ と表わすことができる。ここで、継弾性係数Eはパンプ3の材料によって決まり、 Δh 及び h_0 は設計の際に半導体素子1の寸法許容差等を考慮して決定することができる。従って、圧縮応力 σ の大きさをコントロールすることができ、上部金型8及び下部金型9によってパンプ3を押さえすぎてパンプ3を確壊するおそれはない。なお、上記説明では押さえ込む寸法、すなわち Δh を $1\mu m \sim 10\mu m$ として説明したが、圧縮応力 σ が許容される値になる限り、 Δh は他の値でもよい。

【0011】この実施例1によれば、パンプ3上面に薄バリ7が発生しないので、樹脂封止後に薄バリ7を取り除く作業が不要となり、半導体装置の実装が簡易となる。

【0012】実施例2：この実施例2は、この発明の請求項2に係る一実施例である。上記実施例1では、図3に示すように、パンプ3上面と樹脂6の面とが同一平面になるようにしているが、この実施例2では図4のように、実施例1の工程と同様の工程によって得られた半導体装置のパンプ3の上に、さらにもう一段のパンプ10を積んでおり、パンプ10を樹脂6の面から突出させている(図5参照)。

【0013】この実施例2によれば、樹脂6の面上にバ

【図2】



ンプ10が突出しているため、半導体装置を基板に容易に実装することができる。

【0014】

【発明の効果】この発明は、以上のように構成されているので、以下に記載されるような効果を奏する。

【0015】この発明の請求項1の半導体装置の製造方法によれば、第1の工程で、上記空間の高さをパンプの高さよりも低く構成し、パンプの上面を金型の内面に圧接させて半導体素子を上記空間内に配置するので、パンプ上に樹脂から成る薄バリが発生しないという効果がある。

【0016】この発明の請求項2の半導体装置の製造方法によれば、第1の工程で、上記空間の高さをパンプの高さよりも低く構成し、パンプの上面を金型の内面に圧接させて半導体素子を上記空間内に配置し、第2の工程の後に、パンプの上にさらにパンプを積む第3の工程を備えたので、製造された半導体装置の基板への実装が容易になるという効果がある。

【図面の簡単な説明】

20 【図1】この発明の実施例1を示す断面図である。

【図2】電極及びパンプが形成された半導体素子の断面図である。

【図3】この発明の実施例1によって製造された半導体装置の断面図である。

【図4】この発明の実施例2によって製造された半導体装置の断面図である。

【図5】図4の斜視図である。

【図6】従来の半導体装置の製造方法を示す断面図である。

30 【図7】電極及びパンプが形成された半導体素子の断面図である。

【図8】従来の半導体装置の製造方法によって製造された半導体装置の断面図である。

【符号の説明】

1 半導体素子

3 パンプ

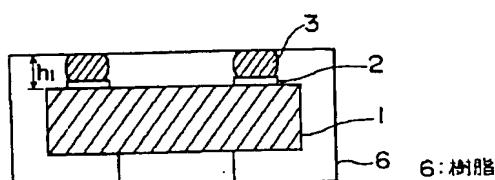
6 樹脂

8 上部金型

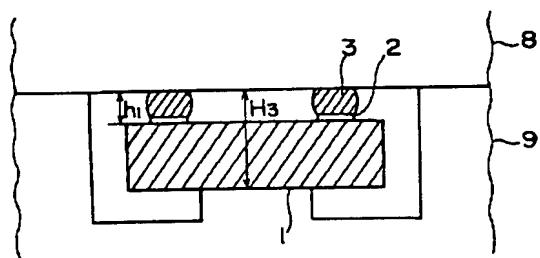
9 下部金型

40 10 パンプ

【図3】

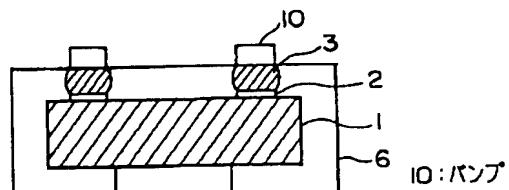


【図1】

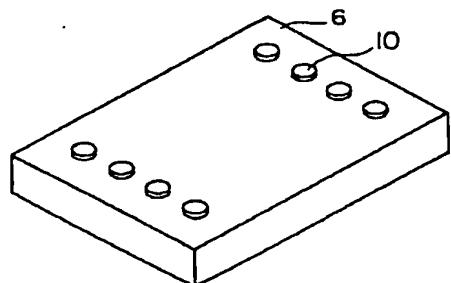


1:半導体素子
3:ポンプ
8:上部金型
9:下部金型

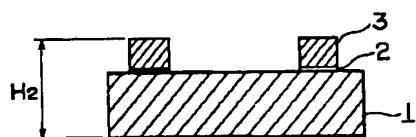
【図4】



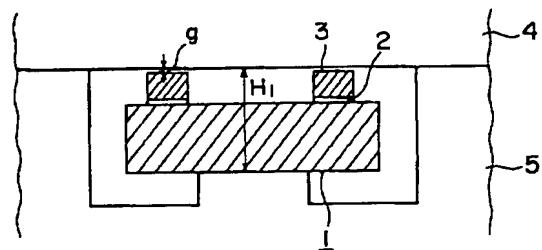
【図5】



【図7】



【図6】



【図8】

